

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291324

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

H01L 29/784

H01L 21/66

H01L 21/336

(21)Application number : 05-257368

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 15.10.1993

(72)Inventor : KOGA TAKEHARU
TAKAHASHI ISAO

(30)Priority

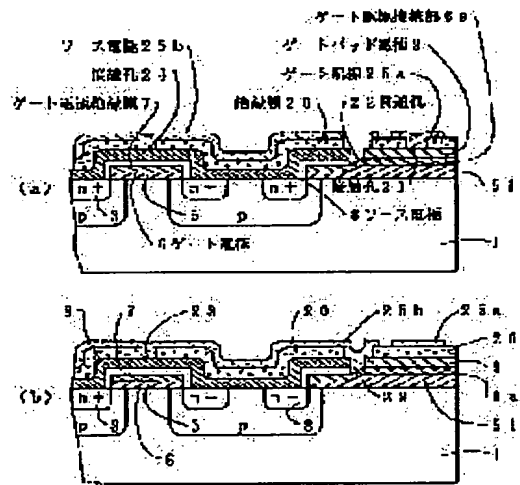
Priority number : 05 17752 Priority date : 05.02.1993 Priority country : JP

(54) MANUFACTURING POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a power semiconductor device which will not be inoperable as a total semiconductor chip even if a shortcircuit occurs between a gate electrode and a source electrode.

CONSTITUTION: A semiconductor chip is divided into plural number of unit cells, a gate electrode connecting section 6a having a through-hole 22 is provided on the extension of the gate electrode 6 of each unit cell, a gate pad electrode 9 having a contact hole 21 is formed on the upper surface of that gate electrode connecting section 6a, the value of the withstanding voltage between the gate electrode 6 and the source electrode 8 on the main surface of the same semiconductor substrate is measured respectively, and a contact hole 21 is insulated with an insulation film 20 for the gate pad electrode 9 connected to the gate electrode 6, in which the withstanding voltage does not satisfy a specified value. A gate wiring 25a is formed on the upper surface of this insulation film 20, and, at the same time, a second layer source electrode 25b is used to shortcircuit the through-hole 22 to the gate electrode connecting section 6a, and the contact hole 21 of the gate pad electrode 9 connected to the gate electrode 6 that satisfies the specified value is shortcircuited with a conductor to form a gate wiring 25a.



LEGAL STATUS

[Date of request for examination] 19.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-291324

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/66	Z	7630-4M		
21/336				
		9168-4M	H 0 1 L 29/ 78	3 2 1 T
		9168-4M		3 2 1 Y
審査請求 未請求 請求項の数 3 O L (全 7 頁)				

(21)出願番号 特願平5-257368

(22)出願日 平成5年(1993)10月15日

(31)優先権主張番号 特願平5-17752

(32)優先日 平5(1993)2月5日

(33)優先権主張国 日本 (J P)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 古閑 丈晴

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 高橋 功

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

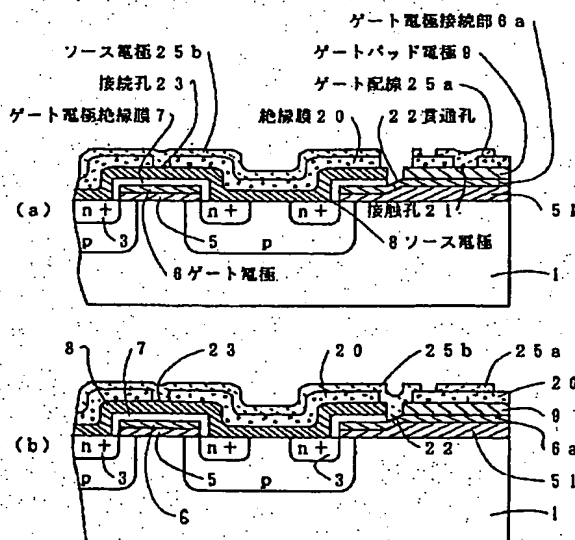
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 電力用半導体素子の製造方法

(57)【要約】

【目的】ゲート電極とソース電極との間で短絡が起きても半導体チップ全体として使用不能になることのない電力用半導体素子を得る。

【構成】半導体チップをを複数個のユニットセルに分割し、各ユニットセルのゲート電極6の延長上に貫通孔22を有するゲート電極接続部6aを設け、そのゲート電極接続部6a上面に接触孔21を有するゲートパッド電極9を形成し、ゲート電極6と同一半導体基体主面上のソース電極8との間の耐圧値をそれぞれ測定し、耐圧値が規定値を満足しないゲート電極6に接続されたゲートパッド電極9は接触孔21を絶縁膜20で絶縁し、この絶縁膜20上面ゲート配線25aを形成し同時に2層目ソース電極25bで貫通孔22とゲート電極接続部6aとの間を短絡し、規定値を満足するゲート電極6に接続されたゲートパッド電極9は接触孔21を導体で短絡しゲート配線25aを形成することとする。



【特許請求の範囲】

【請求項1】半導体基体の一主面上に主電流を流すソース電極およびそのソース電極と複数個のゲート電極絶縁膜を被覆した主電流を制御するゲート電極とを備え、そのゲート電極の延長上に形成されたゲート電極接続部上面にゲートパッド電極を設け、ソース電極およびゲートパッド電極上に絶縁膜および個別のソース電極とゲート配線を順次積層してなる多層形半導体チップの製造方法において、半導体チップを複数個のユニットセルに分割し、それぞれのユニットセルに前記ソース電極、ゲート電極接続部およびゲートパッド電極を設けた後にユニットセルの各ゲート電極とソース電極との間の耐圧値をそれぞれ測定する工程と、半導体チップを前記絶縁膜で覆う工程と、前記絶縁膜に前記ソース電極、ゲート電極接続部およびゲートパッド電極それぞれの表面に達する接続孔、貫通孔及び接触孔を設ける第1レジスト膜を塗布し各孔部に相当する個所にエッチング孔を形成する工程と、耐圧値が規定値を満足しない場合は接触孔に相当する前記エッチング孔を第1レジスト液で閉塞する工程と、耐圧値が規定値を満足する場合は貫通孔に相当する前記エッチング孔を第1レジスト液で閉塞する工程とを含むことを特徴とする電力用半導体素子の製造方法。

【請求項2】請求項1記載のものにおいて、前述の耐圧値が規定値を満足しない場合は接触孔に相当する前記エッチング孔を第1レジスト液で閉塞する工程を終了後、前記絶縁膜上面に前記ソース電極とゲート配線を形成し、その後第2レジスト膜を形成する工程と、貫通孔に相当する個所にエッチング孔を形成する工程と、耐圧値が規定値を満足しない場合は貫通孔に相当する前記エッチング孔を第2レジスト液で閉塞する工程とを含むことを特徴とする電力用半導体素子の製造方法。

【請求項3】前記第1および2レジスト液の滴下を、各ゲート電極と同一半導体基体主面上のソース電極との耐圧値測定データに連動したXYステージの移動および分注器の作動によって行うことを特徴とする請求項1または2記載の電力用半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、主電流制御用のゲート電極をもち、ゲート電圧によりオン・オフ動作をする絶縁ゲートバイポーラトランジスタあるいはMOS型電界効果トランジスタなどの電力用半導体素子の製造方法に関する。

【0002】

【従来の技術】上記のような電力用の半導体素子は、半導体チップを金属などの基板上に固定し、主電流を流すソース電極は、その電極面にボンディングされるソース電流引出し導線によりチップ外の主端子へと接続される。また、ソース電極と絶縁されたゲート電極とゲート端子とは、その電極面に設けられたゲートパッド部にボ

ンディングされるゲート引出し導線により接続される。このような半導体素子チップの面積化は、1チップ当たりの電流容量の増大、オン電圧の低減を実現するとともに、耐圧向上のためのガードリング部やゲートパッド電極部の半導体チップ全体に占める面積比率を低くすることによる半導体ウエーハの利用効率の向上、モジュール組立時のワイヤボンディング工数の低減などの利点がある。

【0003】図6は、従来の絶縁ゲートバイポーラトランジスタ（以下IGBTと称す）の一例の断面図であり、このような構造は半導体チップ10の一方の主面に独立したpウェル2を高抵抗n⁻層1の表面に拡散により作る。また、電子をn⁻層1に注入するためのnソース層3をpウェル2の表面層内に形成する。さらに、pウェル2の端部にソース層3からn⁻層1に電子を注入するMOSチャンネル4を構成するために、pウェル2の端部の表面に薄いゲート酸化膜5を介して、例えば多結晶シリコンからなるゲート電極6を設ける。ゲート電極6の上をゲート電極絶縁膜7ですべて覆い、そのゲート電極絶縁膜7に開けられた窓部でpウェル2およびソース層3の表面に接触するソース電極8を、例えばA1蒸着により形成する。ゲート電極6の延長部上には、フィールド酸化膜51の上でソース電極8と同時に蒸着後分離したゲートパッド電極9を接触させる。ゲート電極6とソース電極8はゲート電極絶縁膜7で分離されているので、ゲート・ソース間に電圧を印加することができ、n⁻層1の下面側にはnバッファ層11を介してpドレイン層12を設け、そのドレイン層12の表面に接触するドレイン電極13を、例えばA1蒸着により形成する。

【0004】図7は従来のIGBTのチップ10をソース電極8側から見た平面図で、点線16で示された輪郭内に形成されているゲート電極6を覆うソース電極8に図6にも示したようにソース電流引出し導線14をボンディングし、ソース電極8の窓部に露出するゲートパッド電極9に図6にも示すようにゲート引出し導線15をボンディングする。ゲート引出し導線15は図示しないゲート端子に接続する。なお、半導体チップ10の周辺部にはソース・ドレイン間の耐圧を出すためのガードリング17を形成する。

【0005】

【発明が解決しようとする課題】しかし、チップの面積化をする上での問題の一つとして、ゲート・ソース間耐圧不良の問題がある。IGBTやMOS型電界効果トランジスタの場合、ゲート電極の電圧によりチャンネルの開閉を行い、ドレイン電流のオン・オフを行う。ゲート電極・ソース電極間が短絡されていたり不十分な耐圧しかなかった場合、ドレイン電流の正常な制御ができない。

【0006】また前述のような構造において、例えばフ

オトプロセス時にゲート電極絶縁膜等にマスク設計以外の穴や欠陥が発生した場合、その個所で絶縁分離が破れてゲート電極となる多結晶シリコン層にソース電極が接触して短絡する。また、ソース電極と同時に蒸着されるゲートパッド電極とソース電極との間のエッチングによる分離が悪い場合、ゲート電極・ソース電極間短絡となる。そのほか、ゲート電極の下のゲート酸化膜に欠陥がある場合もゲート電極・ソース電極間耐圧不良となる。

【0007】このような欠陥がチップ内で1個でもある場合、ゲート電極・ソース電極間耐圧不良となり、そのチップは使えない。フォトリソの改良などを重ねても、ウェーハ内で少なからず欠陥が発生することが避けられず、チップが大幅面積になるほどチップの歩留まりが落ちてくる。この発明の目的は、このような観点からゲート電極・ソース電極間短絡が起きてもチップ全体として使用不能になることのない電力用半導体素子の製造方法を提供することにある。

【0008】

【課題を解決するための手段】この発明によれば、第1の製造方法として、半導体基体の一主面上に主電流を流すソース電極およびそのソース電極と複数個のゲート電極絶縁膜を被覆した主電流を制御するゲート電極とを備え、そのゲート電極の延長上に形成されたゲート電極接続部上面にゲートパッド電極を設け、ソース電極およびゲートパッド電極上に絶縁膜および個別のソース電極とゲート配線を順次積層してなる多層形半導体チップの製造方法において、半導体チップを複数個のユニットセルに分割し、それぞれのユニットセルに前記ソース電極、ゲート電極接続部およびゲートパッド電極を設けた後にユニットセルの各ゲート電極とソース電極との間の耐圧値をそれぞれ測定する工程と、半導体チップを前記絶縁膜で覆う工程と、前記絶縁膜に前記ソース電極、ゲート電極接続部およびゲートパッド電極それぞれの表面に達する接続孔、貫通孔及び接触孔を設ける第1レジスト膜を塗布し各孔部に相当する個所にエッチング孔を形成する工程と、耐圧値が規定値を満足しない場合は接触孔に相当する前記エッチング孔を第1レジスト液で閉塞する工程と、耐圧値が規定値を満足する場合は貫通孔に相当する前記エッチング孔を第1レジスト液で閉塞する工程とを含むこと。

【0009】第2の製造方法として、前述の耐圧値が規定値を満足しない場合は接触孔に相当する前記エッチング孔を第1レジスト液で閉塞する工程を終了後、前記絶縁膜上面に前記ソース電極とゲート配線を形成し、その後第2レジスト膜を形成する工程と、貫通孔に相当する個所にエッチング孔を形成する工程と、耐圧値が規定値を満足しない場合は貫通孔に相当する前記エッチング孔を第2レジスト液で閉塞する工程とを含むことにより達成される。

【0010】更に前記第1および2のレジスト液の滴下

を、各ゲート電極と同一半導体基体主面上のソース電極との耐圧値測定データに連動したXYステージの移動および分注器の作動によって行うことが有効である。

【0011】

【作用】この発明の構成によれば、半導体チップを複数個のユニットセルに分割し、それぞれのユニットセルに前記ソース電極、ゲート電極接続部およびゲートパッド電極を設けた後にユニットセルの各ゲート電極とソース電極との間の耐圧値をそれぞれ測定した後で、ゲートパッド電極を絶縁膜で覆って接触孔を開け、不良品部分のゲート電極に接続されたゲートパッド電極上の接触孔は絶縁材料で閉塞し、良品部分のゲート電極に接続されたゲートパッド電極は接触孔でゲート端子との接続を行うことにより、ソース電極との間の耐圧の正常な良品部分のみのゲート電極をゲートパッド電極を介してゲート端子と接続することができ、接続されたものだけがユニットセルの動作に関与させることができる。これにより、ゲート電極に接続されなかった不良品部分のゲート電極には制御用の信号電圧が入力されないため、正常な動作を妨げることがない。さらに、このようなゲート電極に接続されないゲート電極が電位的に浮いていることによる誤動作を防ぐためには、同一半導体基体主面上のソース電極と短絡するのがよいが、ゲート電極延長部上のソース電極およびその間の絶縁膜に予め貫通孔を開けておき、耐圧測定結果に基づいてこの貫通孔を導電材料で閉塞すれば、容易にソース電極との接続ができる。この作用は第1の製造方法あるいは第2の製造方法でも同様であるが、第1の製造方法では第1レジスト膜の塗布は1回で済み工程が短くてすむ。第2の製造方法ではレジスト膜の塗布回数が2回となるが、リペア作業に伴う塗布ミスなどの危険性が減少し、レジスト膜塗布の成功率が向上しチップ全体としてのリペア部分の信頼性が高くなる。そして第1および2レジスト液の滴下を、耐圧値測定データに基づくXYレコーダの移動および分注器の作動によって滴下すれば極めて効率よくできる。

【0012】

【実施例】図1はこの発明の実施例を示す半導体チップ（IGBT）の平面構成図、図2はこの発明の実施例を示すIGBTの断面図であり、（a）は良品部分のユニットセルで図1 a-a線断面図、（b）は不良品部分のユニットセルで図1 b-b線断面図を示すもので、従来例の図6と同一要素のものには同一の符号が付されている。nバッファ層11、pドレイン層12およびドレイン電極13は、省略されている。IGBTチップは20mm角の大きさで、ゲート電極6を形成する多結晶シリコン層は図1に示すようにユニットセル10aに4分割され、1つのゲート電極は9mm角で、その一部分上に設けられるゲートパッド電極の寸法は0.3mm角である。従来と同様の方法で各ユニットセルの構造を形成したのち、各分割ゲート電極6ごとにソース電極8との間

の耐圧を測定する。次いで、IGBTチップ上を、例えば4 μ m厚さのポリイミド樹脂からなる絶縁膜20によって覆いエッチングを行う。その後90℃で30分焼きさらに350℃約1時間焼いて、絶縁膜20を固める。この絶縁膜20には少なくとも3個の孔が開けられている。一つはゲートパッド電極9への接触孔21であり、他の一つはソース電極8とゲート電極6との間のゲート電極絶縁膜7を通してゲート電極6の延長部に達する貫通孔22で、いずれも0.2mm角の大きさである。3個めの孔はソース電極8への接触孔23であり、大きさは流れる電流に耐えられる寸法としてある。この接触孔23は一般的にはゲート電極6上にあるソース電極8と全箇所接続されている。図2ではゲート電極6を1箇所しか示していないが、実際は図6に示すように複数個ある。これらのパターンニングは、通常のパジレジストを用いるフォトリソグラフィで行われている。

【0013】一方、前に行ったゲート電極6とソース電極8との間の耐圧測定に基づき、各ユニットセルごとに良否を判定する。通常、ゲート電極6とソース電極8間の耐圧が35V以上であるユニットセルを良品部とする。

【実施例1】図3に基づいてゲート電極6とソース電極8との間の耐圧測定後の接触孔21と貫通孔22の形成および後工程の説明をする。図3はこの発明のソース電極8あるいはゲートパッド電極9上に逐次層を形成する第1の製造方法を示す工程説明図であり、(a)は絶縁膜20塗布・第1レジスト膜30塗布・フォトリソ後の工程説明図、(b)は第1レジスト液31滴下後の工程説明図、(c)は絶縁膜20エッチング・第1レジスト膜30、第1レジスト液31除去後の工程説明図、

(d)は2層目のゲート配線25a、2層目のソース電極25bスパッタあるいは蒸着後の工程説明図である。

【0014】(a)では各ゲート電極6とソース電極8との間の耐圧測定後の良否に関係なく、接触孔21と貫通孔22を形成するための第1レジスト膜30を塗布し、接触孔21と貫通孔22部に相当する個所にエッチング孔24を形成しておく。(b)では接触孔21の不良品部と貫通孔22良品部(以下この不良品部と良品部は各ゲート電極6とソース電極8との間の耐圧測定後の良否をいう)がソース電極8あるいはゲートパッド電極9との間で短絡しないように、第1レジスト液31を滴下する。(c)では絶縁膜20エッチング後第1レジスト膜30、第1レジスト液31を除去し、接触孔21の良品部と貫通孔22の不良品部がそれぞれソース電極8とゲートパッド電極9が短絡できる状態になる。(d)では2層目のゲート配線25a・2層目のソース電極25bをスパッタあるいは蒸着後の状態を示しており、ゲート配線25a・ソース電極25bの外部引出し電極とする。接触孔21の良品部はゲートパッド電極9と短絡され、接触孔21の不良品部は絶縁膜20によりゲートパッド電極9と分離されている。貫通孔22の不良品部

はソース電極8と短絡され、貫通孔22の良品部は絶縁膜20によりソース電極8と分離されている。前述の製造方法を経ることにより、図2に示す良品部分のユニットセルと不良品部分のユニットセルを分離することができる。

【0015】この方法によれば第1レジスト膜の塗布は1回ですみ、工程が短くてすみ。

【実施例2】図4に基づいてゲート電極6とソース電極8との間の耐圧測定後の接触孔21と貫通孔22の形成およびその後工程の説明をする。図4はこの発明のソース電極8あるいはゲートパッド電極9上に逐次層を形成する第2の製造方法を示す工程説明図であり、(a)は絶縁膜20塗布・第1レジスト膜30塗布・フォトリソ後の工程説明図、(b)は第1レジスト液31滴下後の工程説明図、(c)は絶縁膜20エッチング・第1レジスト膜30、第1レジスト液31除去後の工程説明図、(d)および(e)はこの発明の第2の製造方法のために追加された工程であり、(d)は2層目のゲート配線25a、2層目のソース電極25bスパッタ・第2レジスト膜32塗布・フォトリソ後の工程説明図、

(e)は貫通孔22の不良品部のみ第2レジスト膜32のエッチング孔24に第2レジスト液33を滴下した工程説明図、(f)は第2レジスト膜32あるいは第2レジスト液33を除去後の工程説明図である。

【0016】実施例1と同一な工程については説明を省略する。(b)では接触孔21の不良品部のみ第1レジスト膜31を滴下しゲートパッド電極9との短絡を防止する。(d)ではゲート配線25a、ソース電極25bをスパッタあるいは蒸着で形成し、その上に第2レジスト膜32を塗布する。この場合貫通孔22部上にはエッチング孔24を形成しておく。(e)では貫通孔22の不良品部のみソース電極25bをこの状態で残すために第2レジスト液33を滴下する。(f)では第2レジスト膜32、第2レジスト液33を除去しゲート配線25a、ソース電極25bを露出し、外部引出しの電極とする。接触孔21の良品部はゲートパッド電極9と短絡され、接触孔21の不良品部は絶縁膜20によりゲートパッド電極9と分離されている。貫通孔22の不良品部はソース電極8と短絡され、貫通孔22の良品部は絶縁膜20によりソース電極8と分離されている。

【0017】前述の製造方法を経ることにより、図2に示す良品部分のユニットセルと不良品部分のユニットセルを分離することができる。この方法によればレジスト膜の塗布回数が少なくてすみ、リペア作業に伴う塗布ミスなどの危険性が減少し、レジスト膜塗布の成功率が向上しチップ全体としてのリペア部分の信頼性も高くなる。また半導体チップ分割数を多くしていくとゲート電極とソース電極間の耐圧は良品が多くなり、リペアに要する作業時間が第1の製造方法より少なくなる。

【0018】以下実施例1および2の共通部分について

補足説明する。第1レジスト液31あるいは第2レジスト液33の滴下は図5に示すレジスト液滴下装置を用いるのが有効である。半導体チップに分割する前のシリコンウェーハ40を真空吸着したXYステージ41を、耐圧値測定データと連動し、レジスト膜滴下位置が、レジスト液を収容した容器42に連結されたマイクロシリンジあるいはディスペンサーのような分注器43の真下にくるように移動し、分注器43から粘度100cP程度のポリイミド樹脂などを1滴ずつ滴下することにより行う。この滴下されたレジスト膜は90℃で30分焼きさらに350℃約1時間焼いて硬化させることが必要である。

【0019】この実施例では4個のユニットセルに分割しているが、分割数が多いほど欠陥部がユニットセルに与える影響が少なくなり良品率が向上する。この種の電力用半導体素子は8分割のユニットセルを設けるのが良い。

【0020】

【発明の効果】この発明によれば、半導体チップを複数個のユニットセルに分割し、それぞれのユニットセルに前記ソース電極、ゲート電極接続部およびゲートパッド電極を設けた後に、ゲートパッド電極を絶縁膜で覆って接触孔を開け、不良品部分のゲート電極に接続されたゲートパッド電極上の接触孔は絶縁材料で閉塞し、良品部分のゲート電極に接続されたゲートパッド電極は接触孔でゲート端子との接続を行うことにより、ソース電極との間の耐圧の正常な良品部分のみのゲート電極をゲートパッド電極を介してゲート端子と接続することができ、接続されたものだけがユニットセルの動作に関与させることができる用にしたため、ゲート電極・ソース電極間に耐圧不良となる欠陥が生じて、その欠陥の存在する領域のゲート電極がユニットセルの動作に関与しないようにすることができ、半導体チップ全体として使用可能になるため、特にIGBTのような絶縁ゲート型の電力用半導体素子のチップの面積積化による電流容量の増大あるいはオン電圧の低減にきわめて有効となる。

【0021】また分割したゲートを2層配線技術により形成することにより、ワイヤーボンディング法を用いるよりも効率よくかつ信頼性も向上する。更にこの2層配線工程での不良品部分のリペアをレジスト液の滴下によりおこなうことにより、信頼性が高く平坦度のよい2層配線工程が実現できる。この発明による第1の製造方法によれば、レジスト膜の塗布は1回ですみ、工程が短くてすみ。また第2の製造方法によれば、レジスト膜の塗布回数が少なくてすみ、リペア作業に伴う塗布ミスなどの危険性が減少し、レジスト膜塗布の成功率が向上しチップ全体としてのリペア部分の信頼性も高くなる。またチップ分割数を多くしていくとゲート電極とソース電極間の耐圧は良品が多くなり、リペアに要する作業時間が第1の製造方法より少なくなる。

【0022】さらにシリコンウェーハを真空吸着したXYステージを、耐圧値測定データと連動し、レジスト膜滴下位置が、レジスト液を収容した容器に連結された分注器の真下にくるように移動し、分注器から第1あるいは第2レジスト液を1滴ずつ滴下することにより、作業効率がきわめて高くなる。

【図面の簡単な説明】

【図1】この発明の実施例を示す半導体チップ(IGBT)の平面構成図

10 【図2】この発明の実施例を示すIGBTの断面図であり、(a)は良品部分のユニットセルで図1a-a線断面図、(b)は不良品部分のユニットセルで図1b-b線断面図

【図3】この発明の実施例を示す第1の製造方法を示す工程説明図

【図4】この発明の実施例を示す第2の製造方法を示す工程説明図

【図5】この発明の実施例を示すレジスト膜滴下装置の構成図

20 【図6】従来例の半導体チップ(IGBT)の断面図

【図7】従来例のIGBTチップの平面図

【符号の説明】

- 1 n⁻層
- 2 Pウェル
- 3 nソース層
- 4 MOSチャネル
- 5 ゲート酸化膜
- 6 ゲート電極
- 6a ゲート電極接続部
- 7 ゲート電極絶縁膜(ポリシリコン)
- 8 ソース電極
- 9 ゲートパッド電極
- 10 半導体チップ
- 10a ユニットセル
- 14 ソース引出し導線
- 15 ゲート引出し導線
- 17 ガードリング
- 20 絶縁膜(ポリイミド)
- 21 接触孔
- 22 貫通孔
- 23 接続孔
- 24 エッチング孔
- 25a ゲート配線
- 25b ソース電極
- 30 第1レジスト膜
- 31 第1レジスト液
- 32 第2レジスト膜
- 33 第2レジスト液
- 40 シリコンウェーハ
- 50 41 XYステージ

(6)

特開平6-291324

9

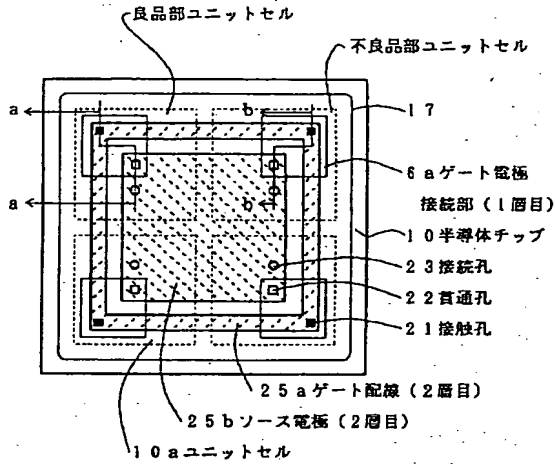
10

42 容器
43 分注器

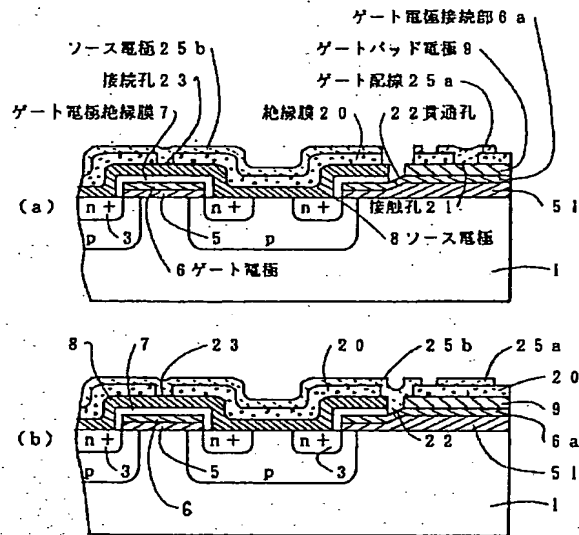
* 51 フィールド酸化膜

*

【図1】



【図2】

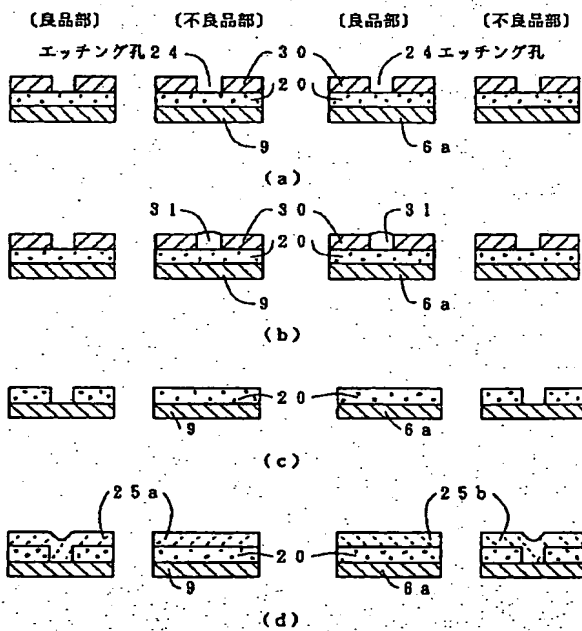


【図3】

【図4】

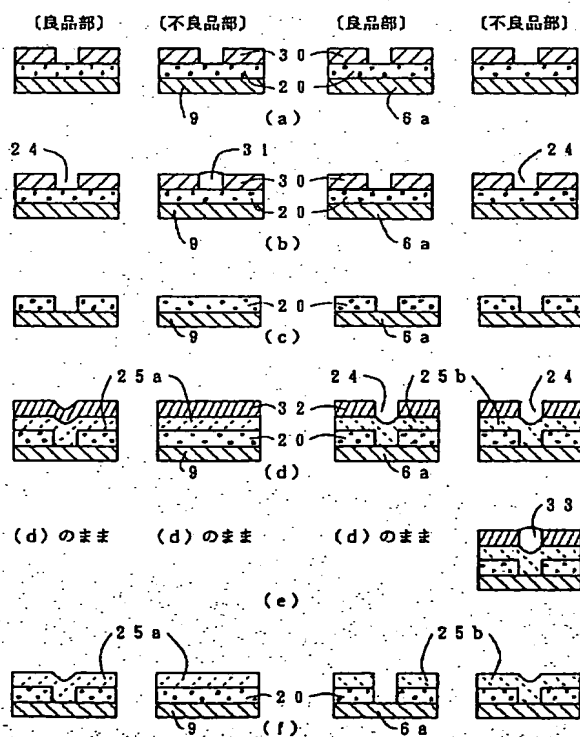
接触孔 21 の場合

貫通孔 22 の場合



接触孔 21 の場合

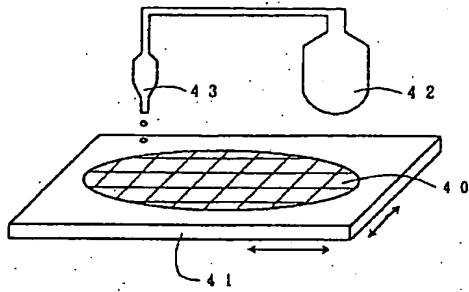
貫通孔 22 の場合



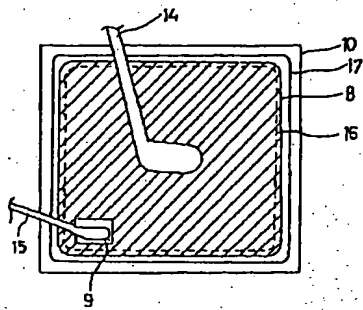
(7)

特開平6-291324

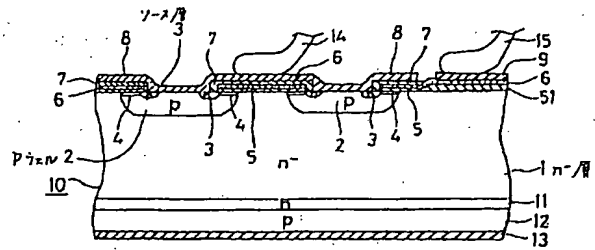
【図5】



【図7】



【図6】



THIS PAGE BLANK